



# Conception des circuits CMOS analogiques

Conception transmetteur de  
puissance sans fil entièrement  
intégré – Cours de restructuration

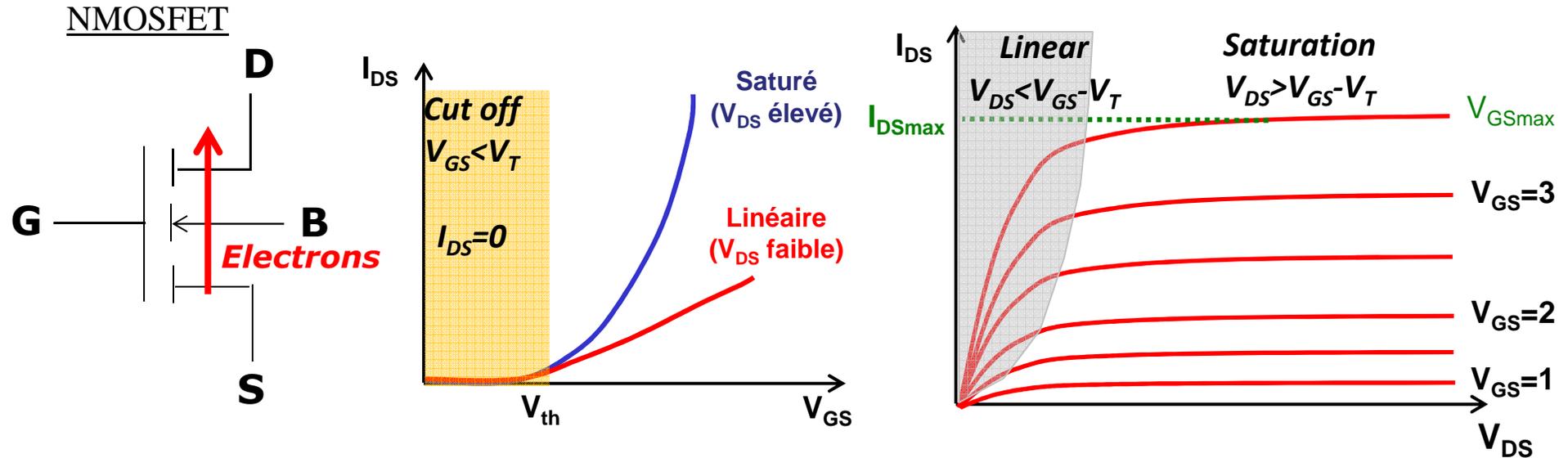
Alexandre Boyer  
*alexandre.boyer@insa-toulouse.fr*  
*www.alexandre-boyer.fr*

**2016-2017**

Blocs	Avancement
Sensor temperature	Capteur fonctionnel. Pas d'amplification. Effet des variations process non simulé. HW OTP non réalisé.
Output Buffer	Fonctionnel. Doute sur l'efficacité réelle (112 %). Respect des contraintes CEM non testés
OTA	Fonctionnel et testé dans les différentes conditions PVT. Open-loop gain = 88 - 97 dB, fréquence transition = 1 - 2 MHz, CMRR = 94 dB, slew rate = 0.4 V/ $\mu$ s.
NTC	Fonctionnel mais non testé dans les différentes conditions PVT. Type de résistances de polarisation non précisées.
OTP	Fonctionnel. Effet des variations de tension d'alimentation non testé. Variabilité trop importante des seuils de détection du trigger de Schmitt.
OCP	Type et position de la résistance de shunt non spécifiés. Référence de tension non précisée. Temps de déclenchement non testés. Effet des variations process non simulé.

Blocs	Avancement
Output Buffer	Fonctionnel. Puissance délivrée à la charge (5 W) non atteintes. Corners non simulés. Respect des contraintes CEM non testés
OTA	Fonctionnel mais non testé dans les différentes conditions PVT. Open-loop gain = 80 dB, fréquence transition = 20 MHz.
OTP	Fonctionnel mais consommation excessive de courant. Effet des variations de tension d'alimentation non testé. Variabilité trop importante des seuils de détection du trigger de Schmitt.
OCP	Valeur de la résistance de shunt non précisée. Référence de tension non précisée. Temps de déclenchement non testés. Corners non simulés.
NTC	Fonctionnel. Référence de tension non précisée. Variabilité des résistances ayant un effet sur les seuils de déclenchement

## Fonctionnement simplifié du transistor MOS



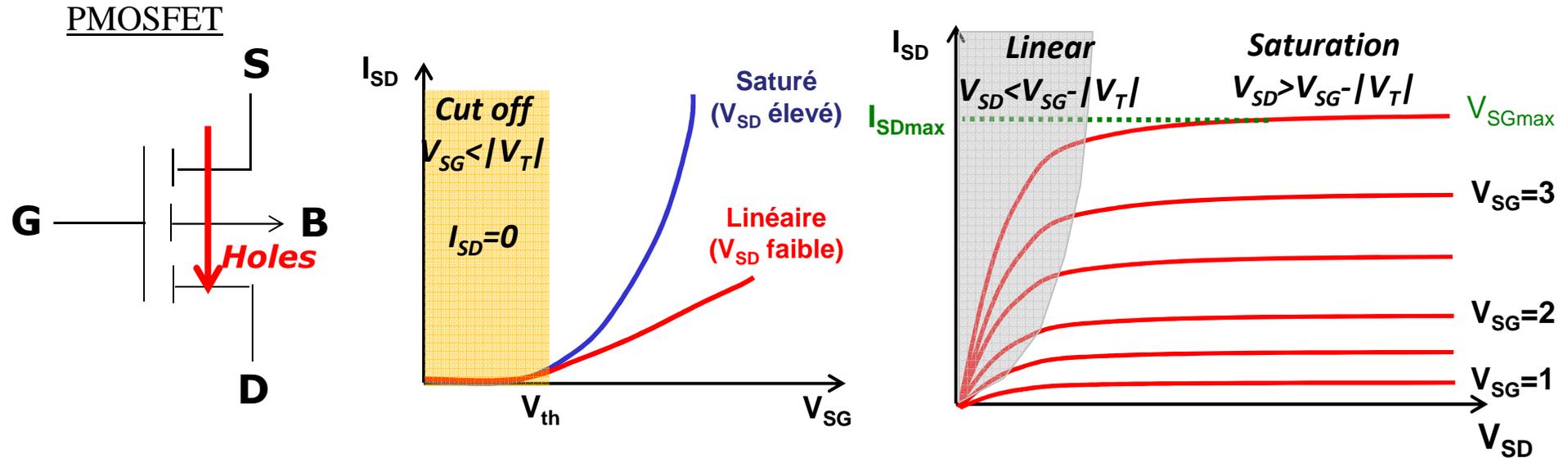
Fonctionnement statique (modèle simplifié valable pour L long)

**Zone linéaire** ( $V_{DS} < V_{GS} - V_T$ ): 
$$I_{DS} = K \left( (V_{GS} - V_T) \cdot V_{ds} - \frac{(V_{ds})^2}{2} \right) \times (1 + \lambda V_{ds})$$

**Zone Saturée** ( $V_{DS} > V_{GS} - V_T$ ): 
$$I_{DS} = \frac{1}{2} K (V_{GS} - V_T)^2 \times (1 + \lambda V_{ds})$$

- $I_{DS}$  ne dépend que de  $V_{GS}$
- La relation entre courant  $I_{DS}$  et tension  $V_{GS}$  n'est pas linéaire
- Source de courant  $I_{DS}$  contrôlée en tension  $V_{GS}$

## Fonctionnement simplifié du transistor MOS



Fonctionnement statique (modèle simplifié valable pour L long)

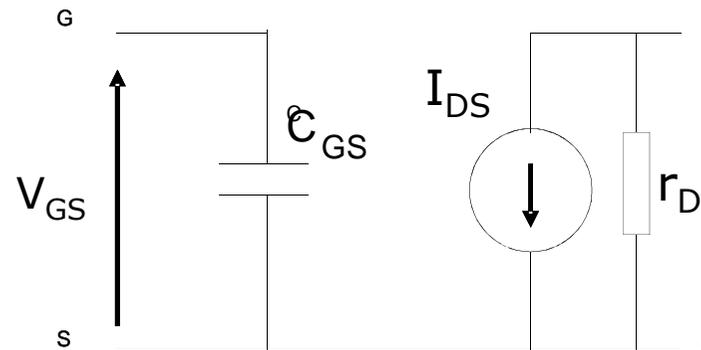
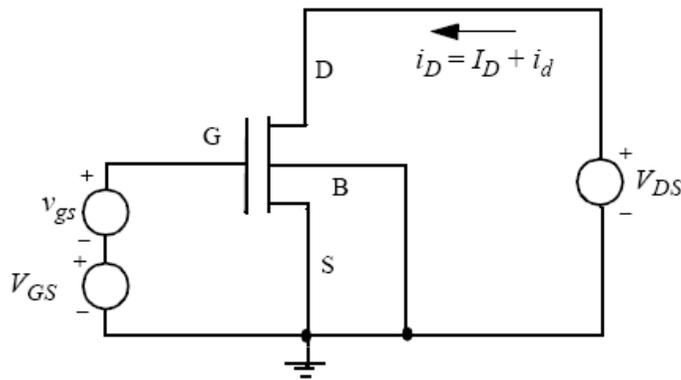
**Zone linéaire** ( $V_{SD} < V_{SG} - V_T$ ): 
$$I_{sd} = K \left( (V_{sg} - |V_T|) \cdot V_{sd} - \frac{(V_{sd})^2}{2} \right) \times (1 + \lambda V_{sd})$$

**Zone Saturée** ( $V_{SD} > V_{SG} - V_T$ ): 
$$I_{sd} = \frac{1}{2} K (V_{SG} - |V_T|)^2 \times (1 + \lambda V_{sd})$$

- $I_{DS}$  ne dépend que de  $V_{GS}$
- La relation entre courant  $I_{DS}$  et tension  $V_{GS}$  n'est pas linéaire
- Source de courant  $I_{DS}$  contrôlée en tension  $V_{GS}$

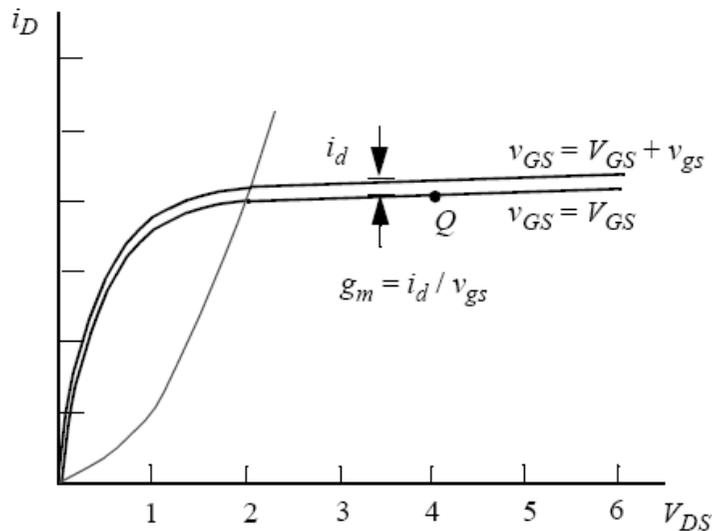
# Le modèle petit signal simplifié

En Zone Saturée ( $V_{DS} > V_{GS} - V_T$ ):



$$C_{gs} \approx \frac{2}{3} (WLC_{ox})$$

$$I_{ds} = g_m V_{gs}$$



$$g_m \equiv \frac{\partial I_{DS}}{\partial V_{GS}} = K(V_{GS} - V_{Th})$$

$$g_m = UO \frac{\epsilon_0 \epsilon_r}{TOX} \cdot \frac{W}{L} (V_{GS} - V_{Th})$$

Réglage par le concepteur

La transconductance va impacter le gain en tension, en courant et en puissance

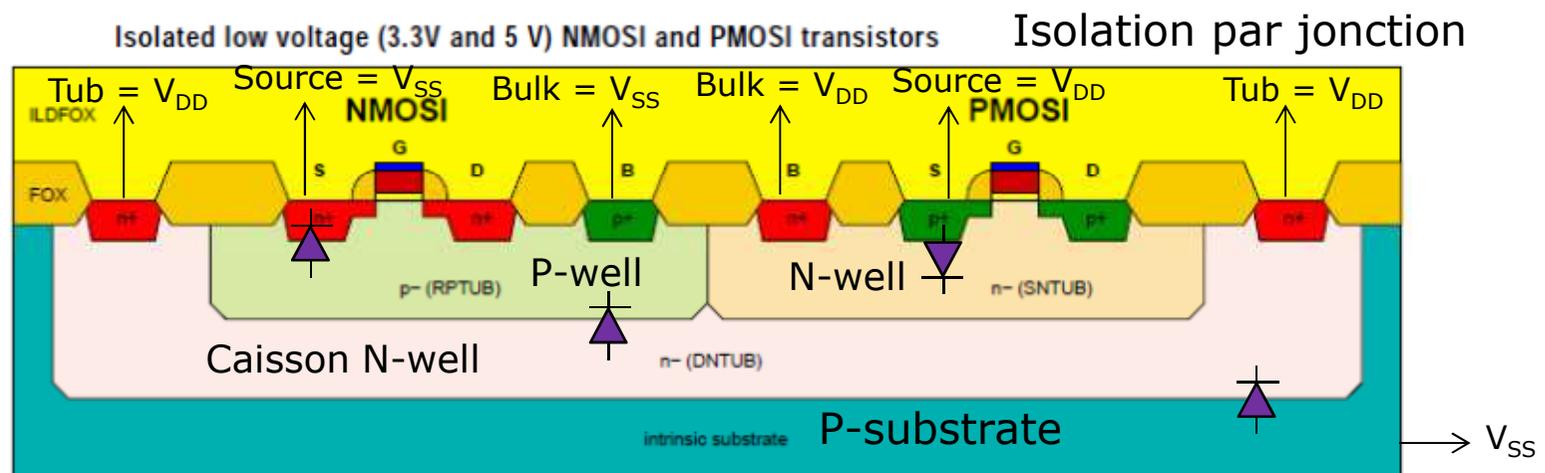
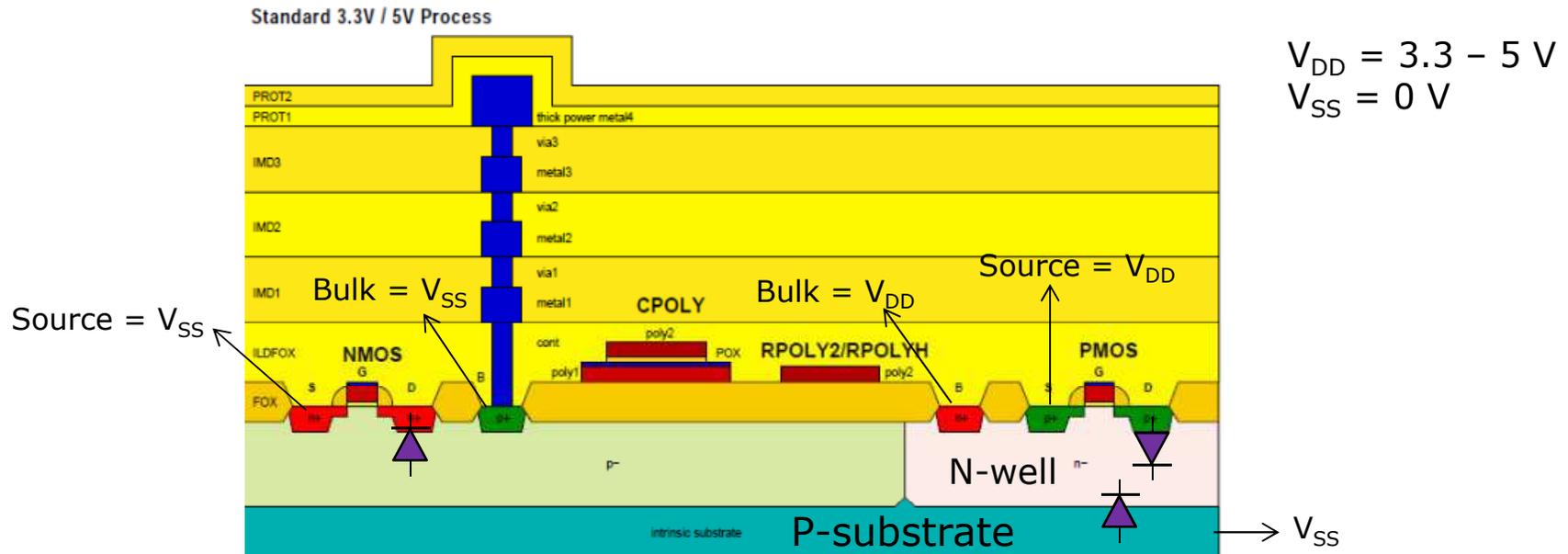
- Technologie CMOS 0.35  $\mu\text{m}$  50 V (process H35B4S1)
- Intégration sur une même puce d'étages de puissance (haute tension 50 V) et de commande (faible tension 3.3/5 V)
- Nœud technologique « ancien », mais robuste, fiable, adapté aux fortes tensions
- Composants disponibles (cf. ENG-238\_rev6.pdf) :
  - NMOS/PMOSFET (LV and HV cores - 3.3 V à 50 V)
  - Bipolaire NPN/PNP vertical/latéral
  - Diodes
  - Résistances (diffusion, Nwell, POLY1/2/H)
  - Condensateurs (MIM, POLY, POLY-Metal)

- Transistors MOS
  - Liste des NMOS (Liste PMOS quasi identique)

MOSFET	HV CMOS core	5V gate	20V gate	NMOS50	Substrate logic	Isolated low VT
NMOS	x			x	x	
NMOS20H	x		x			
NMOS20HS	x		x			
NMOS20M	x	x				
NMOS20T	x					
NMOS50H	x		x	x		
NMOS50HS	x		x	x		
NMOS50M	x	x		x		
NMOS50T	x			x		
NMOSDI20H	x		x			
NMOSDI20M	x	x				
NMOSDI50H	x		x			
NMOSH	x			x	x	
NMOSI	x					
NMOSI20H	x		x			
NMOSI20M	x	x				
NMOSI20T	x					
NMOSI50H	x		x			
NMOSI50M	x	x				
NMOSI50T	x					
NMOSIL	x					x
NMOSIM	x	x				
NMOSIML	x	x				x
NMOSM	x	x		x	x	
NMOSMH	x	x		x	x	

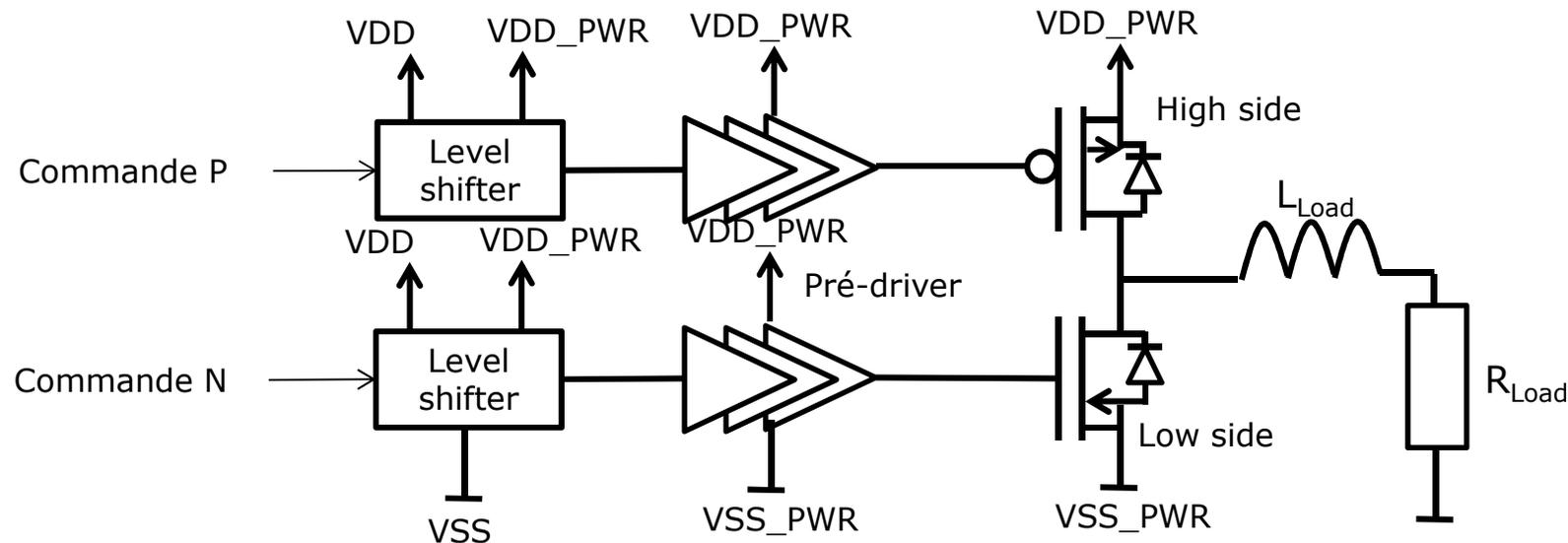
- ✓ Tensions nominales : 3.3 V, 5 V, 20 V, 50 V (Vgs, Vds, Vdb)
- ✓ Versions isolées / non isolées

- Transistors MOS – Section du wafer (ENG-236\_rev6.pdf)





## Buffer de sortie CMOS push-pull



- Contraintes :
  - Optimisation du rendement
  - Faible  $R_{on}$  → faible chute de potentiel → dissipation réduite
  - Dead time (annuler la conduction simultanée du High side et du Low side = « crossbar current » ou « shoot-through current »)
  - Robustesse aux surtensions
  - Limitation du slew rate

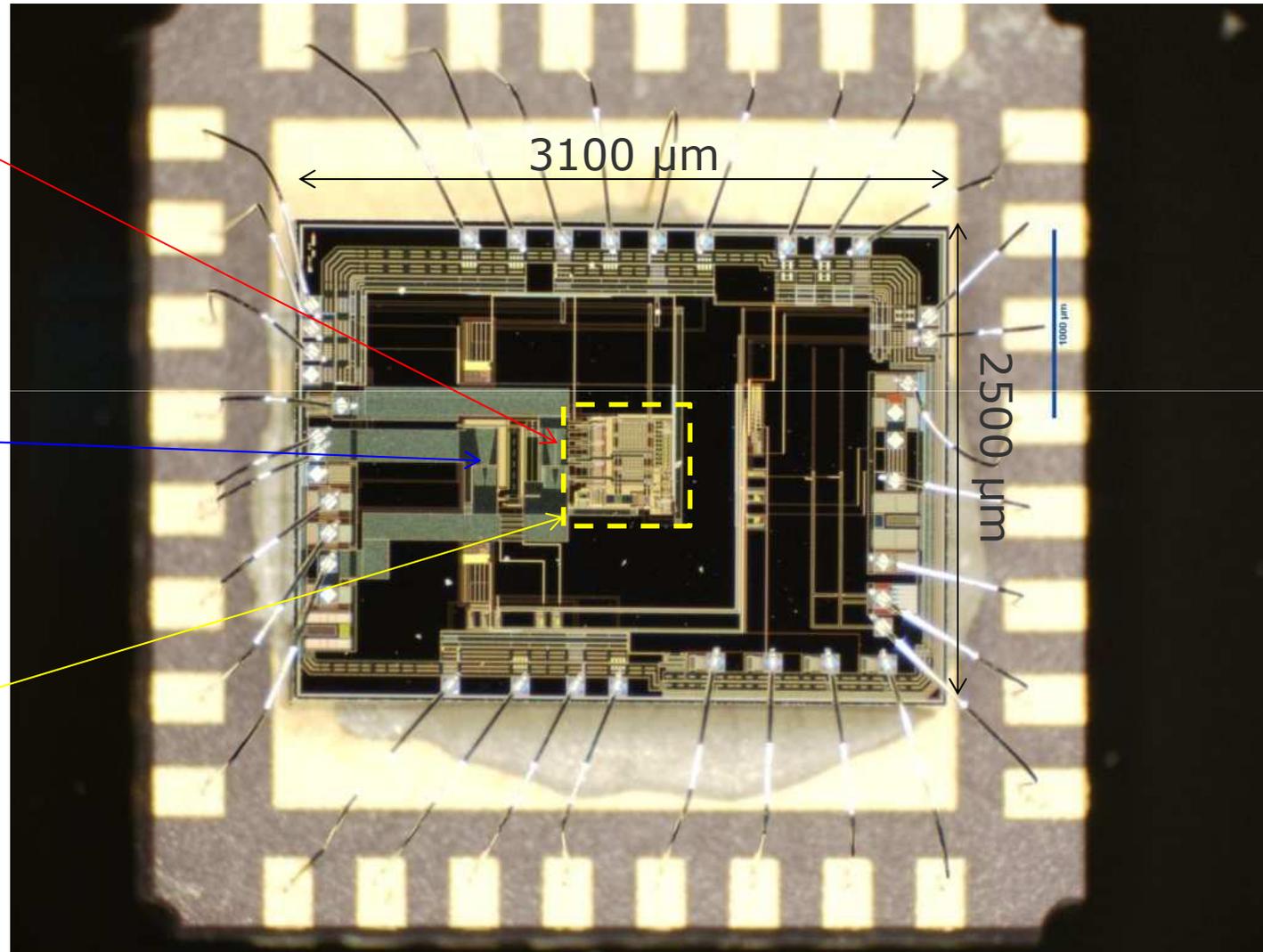
## Buffer de sortie CMOS push-pull

- Exemple circuit Smart Power (High Voltage CMOS 0.35  $\mu\text{m}$ ) –  $I_{\text{max}} = 1 \text{ A}$

High side  
( $W=9500 \mu\text{m}$ ,  
 $L= 0.7 \mu\text{m}$ )

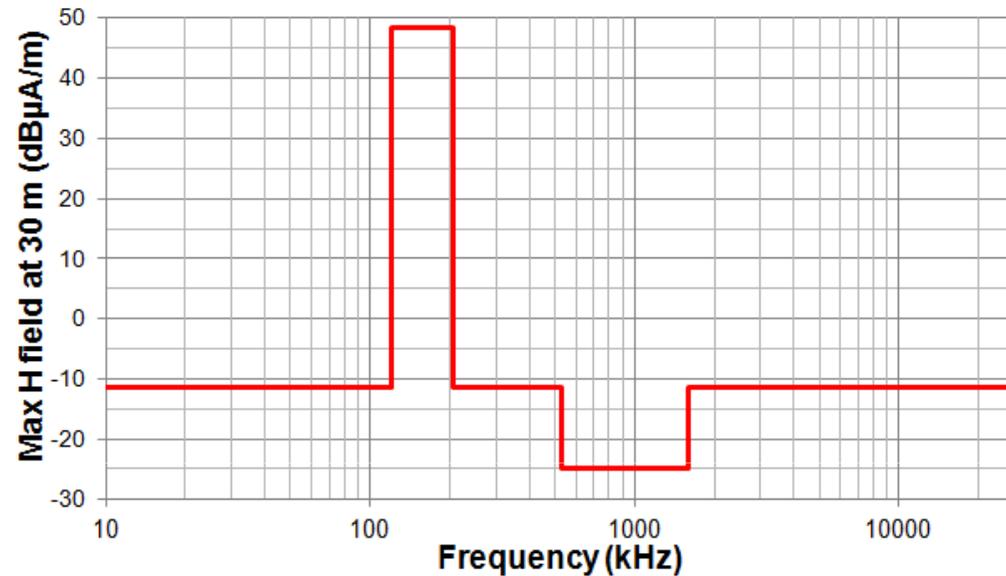
Low side  
( $W=7000 \mu\text{m}$ ,  
 $L= 0.7 \mu\text{m}$ )

Commande +  
pré-driver +  
diagnostic

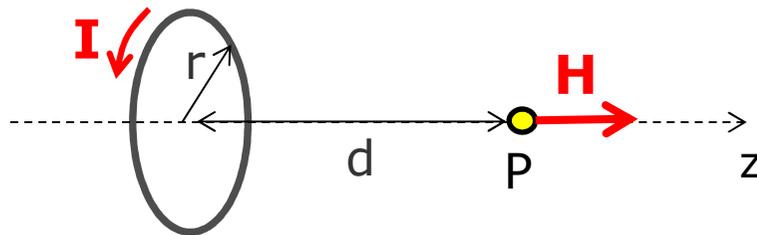


## Buffer de sortie CMOS push-pull

- Contraintes sur l'émission maximale de champ magnétique (EN55011)



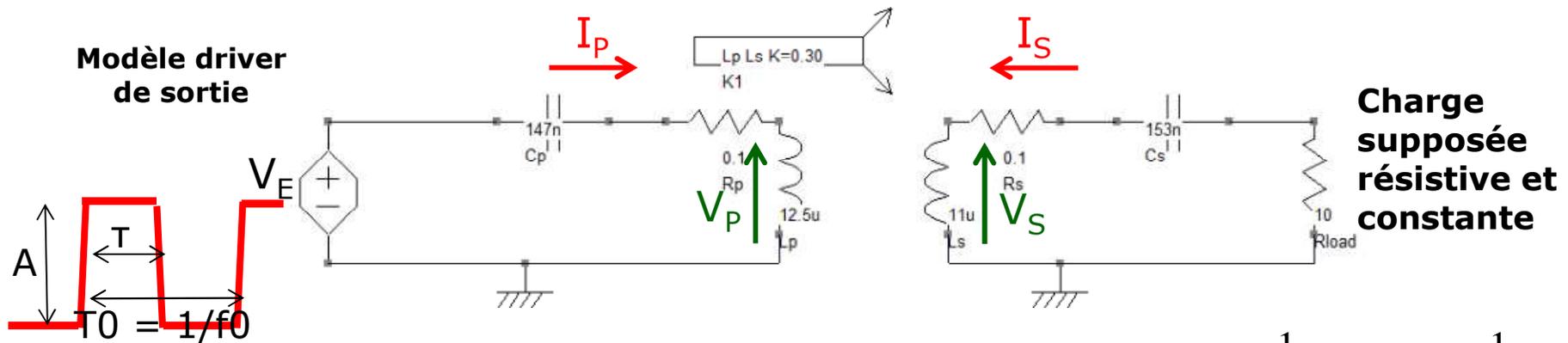
- Modèle d'émission en champ magnétique d'une boucle circulaire à N tours parcouru par un courant I supposé constant le long de la boucle



$$H \text{ (A/m)} = \frac{Nr^2 I}{2(r^2 + d^2)^{3/2}}$$

## Modèle simple couplage bobines primaire/secondaire

- Modèle électrique équivalent :



- Coefficient de couplage inductif:  $k = \frac{M}{\sqrt{L_P L_S}}$        $f_{res} = \frac{1}{2\pi\sqrt{L_P C_P}} = \frac{1}{2\pi\sqrt{L_S C_S}}$

- Analyse harmonique:

$$\begin{cases} v_{L_P} = jL_P \omega i_p + jM \omega i_s \\ v_{L_S} = jL_S \omega i_s + jM \omega i_p \end{cases} \quad \longrightarrow \quad I_S = \frac{-jM\omega}{M^2\omega^2 + Z_P Z_S} V_E \quad I_P = \left( 1 - \frac{M^2\omega^2}{M^2\omega^2 + Z_P Z_S} \right) \frac{V_E}{Z_P}$$

Avec :       $Z_P = R_P + jL_P\omega + \frac{1}{jC_P\omega}$        $Z_S = R_{Load} + R_S + jL_S\omega + \frac{1}{jC_S\omega}$

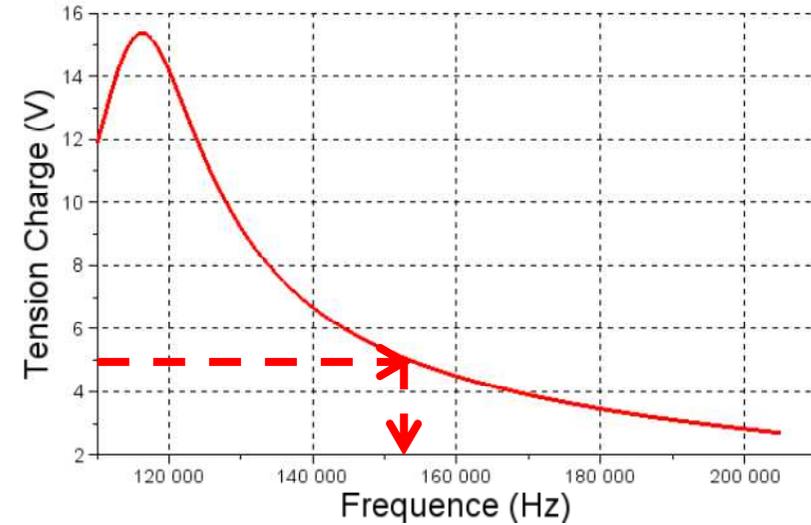
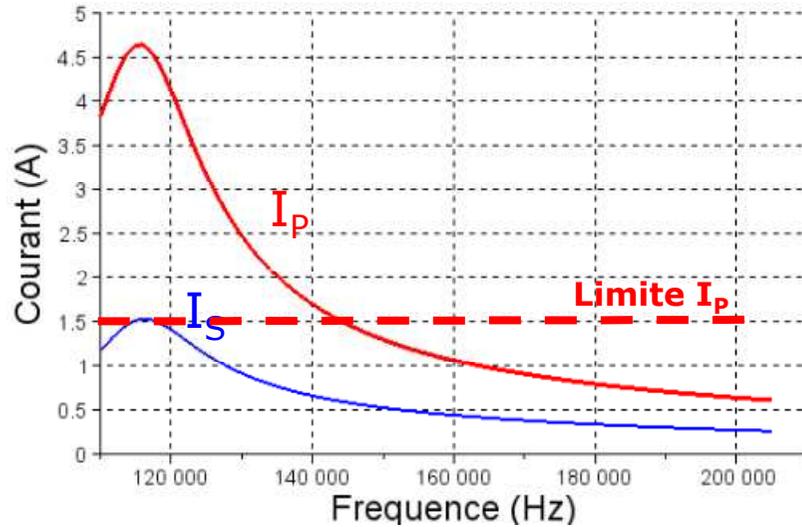
- Approximation du premier harmonique :

Signal carré       $|V_E(nf_0)| = \frac{2A\tau}{T_0} \frac{\sin\left(\frac{n\pi\tau}{T_0}\right)}{\frac{n\pi\tau}{T_0}}$        $\longrightarrow$        $|V_E(f_0)| = \frac{2A}{\pi}$       si  $\tau = \frac{T_0}{2}$

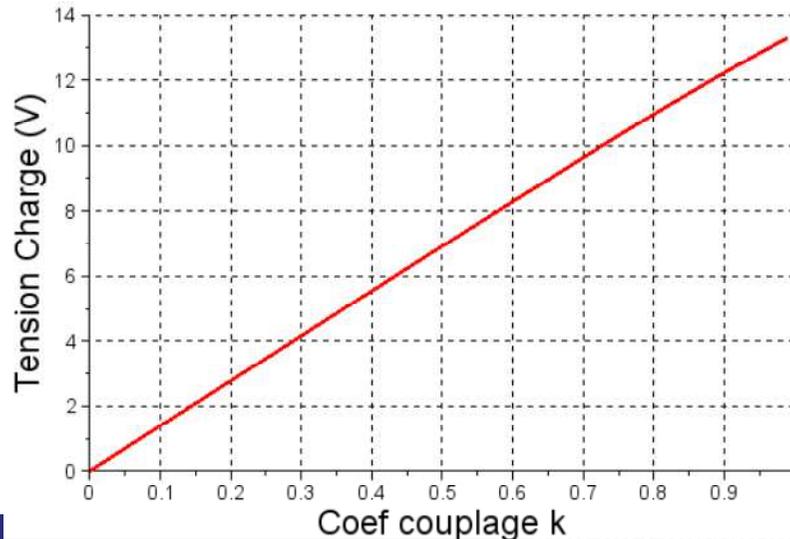
## Modèle simple couplage bobines primaire/secondaire

- Exemple :

$F_{res} = 117 \text{ kHz}$ ,  $\tau = T_0/2$ ,  $A = 9 \text{ V}$ ,  $k = 0.4$ ,  $R_L = 10 \Omega$



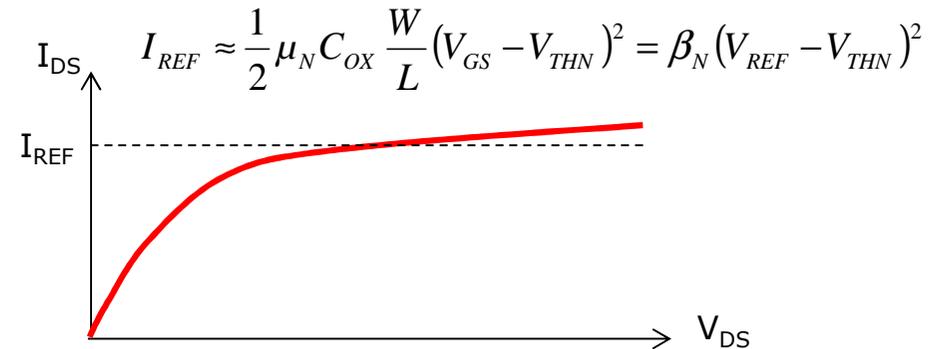
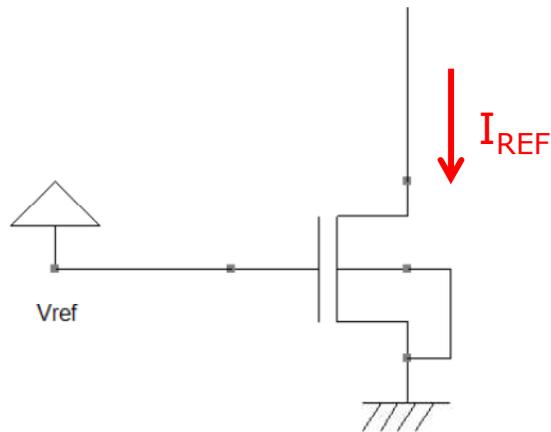
$F_{res} = 117 \text{ kHz}$ ,  $F_0 = 150 \text{ kHz}$ ,  $\tau = T_0/2$ ,  $A = 9 \text{ V}$ ,  $R_L = 10 \Omega$



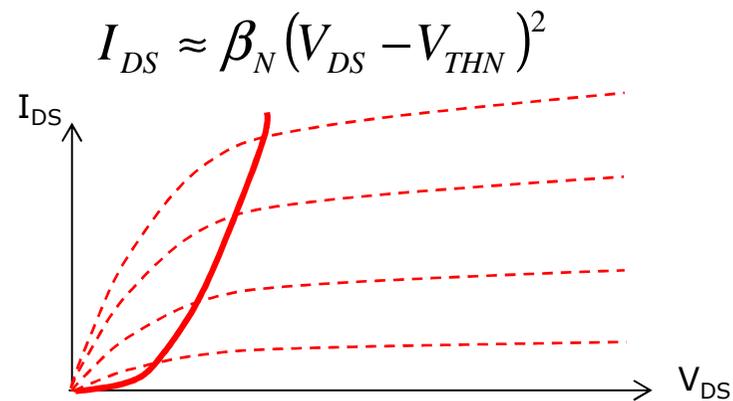
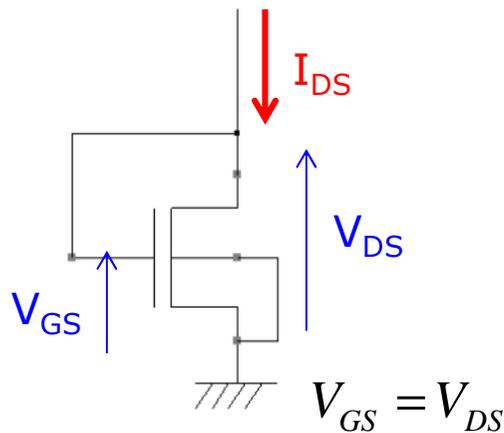
## Amplificateur opérationnel CMOS

- Quelques structures élémentaires

Source de courant (NMOS ou PMOS en saturation)



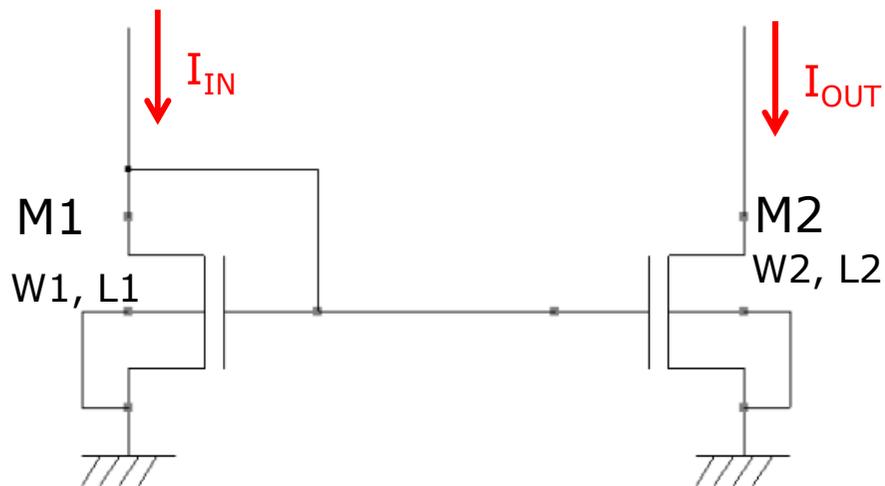
MOS monté en diode (Charge active)



## Amplificateur opérationnel CMOS

- Quelques structures élémentaires

Miroir de courant (NMOS ou PMOS)

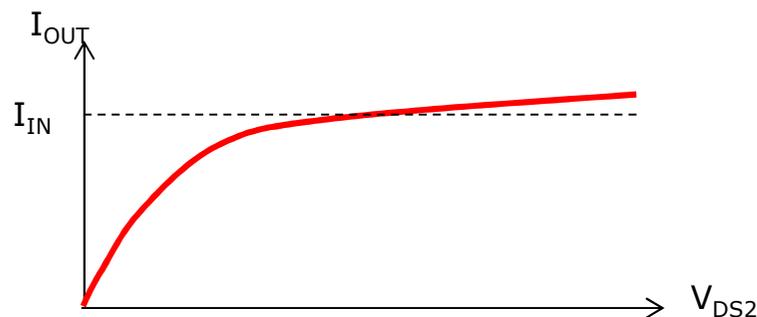


M1 et M2 ont des caractéristiques identiques, mais des dimensions ( $W;L$ ) pas nécessairement identiques :

$$\frac{W_2}{L_2} = K \frac{W_1}{L_1}$$

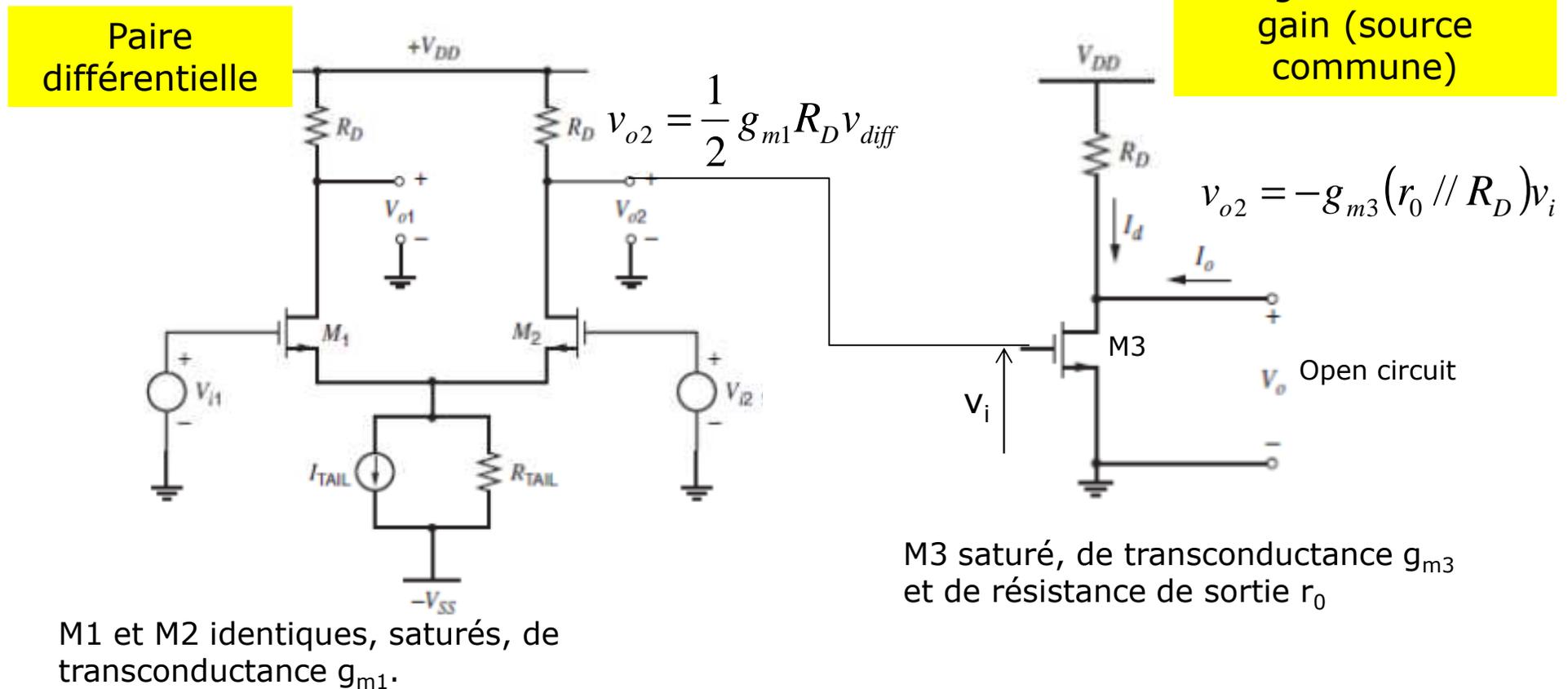
Si M2 est en saturation et en négligeant sa conductance de sortie :

$$I_{OUT} = K \times I_{IN}$$



## Amplificateur opérationnel CMOS

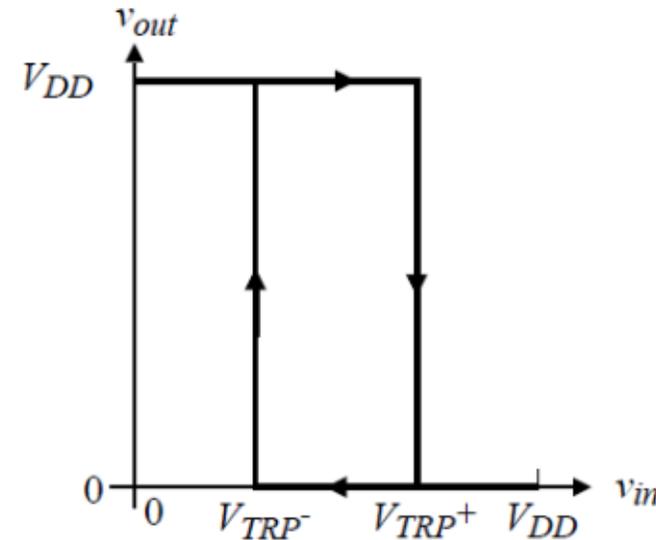
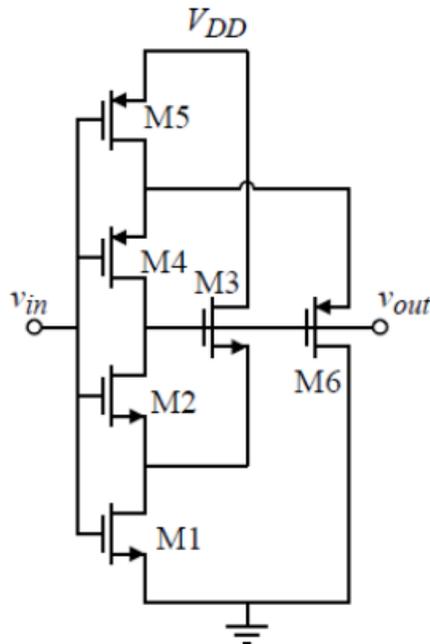
- Voir livre Gray, Hurst, Lewis, Meyer, « Analysis and Design of Analog Integrated Circuits », chapitres 6, 7, 8
- Schéma de principe amplificateur différentiel à deux étages et à sortie single-ended (asymétrique) :





- Caractéristiques fondamentales d'un AOP :
  - Gain statique
  - Plage de tension de sortie
  - Offset en entrée/sortie
  - Réjection de mode commun
  - Produit gain-bande, bande passante
  - Fonction de transfert en BO, pôles, stabilité (marge de phase)
  - Slew rate
  - Power supply rejection ratio (PSRR)
  - Consommation

- Comparateur à base d'AOP (attention au slew rate, aux offsets...)
- Trigger de Schmitt :



$$V_{TRP^-} = \frac{\sqrt{\beta_5/\beta_6} (V_{DD} - V_{TP5})}{1 + \sqrt{\beta_5/\beta_6}}$$

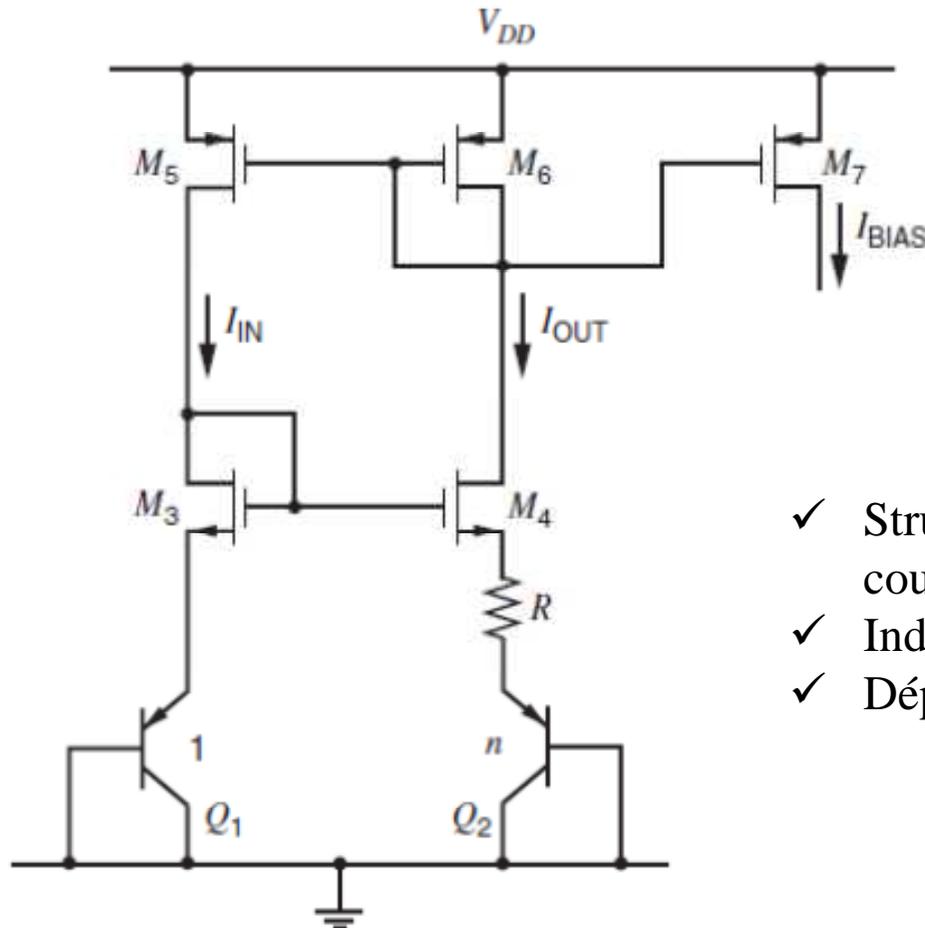
$$V_{TRP^+} = \frac{V_{TN1} + \sqrt{\beta_3/\beta_1} V_{DD}}{1 + \sqrt{\beta_3/\beta_1}}$$

Avec :

- ✓  $V_{Txx}$  = tension de seuil ( $V_{TN2} = V_{TN3}$ ,  $V_{TP4} = V_{TP6}$ )
- ✓  $\beta_x = \frac{1}{2} \mu_x C_{ox} W/L$  = transconductance



- Exemple : référence de courant



Si  $M3 = M4$  et  $M5 = M6$  (en saturation) :

$$\checkmark I_{IN} = I_{OUT}$$

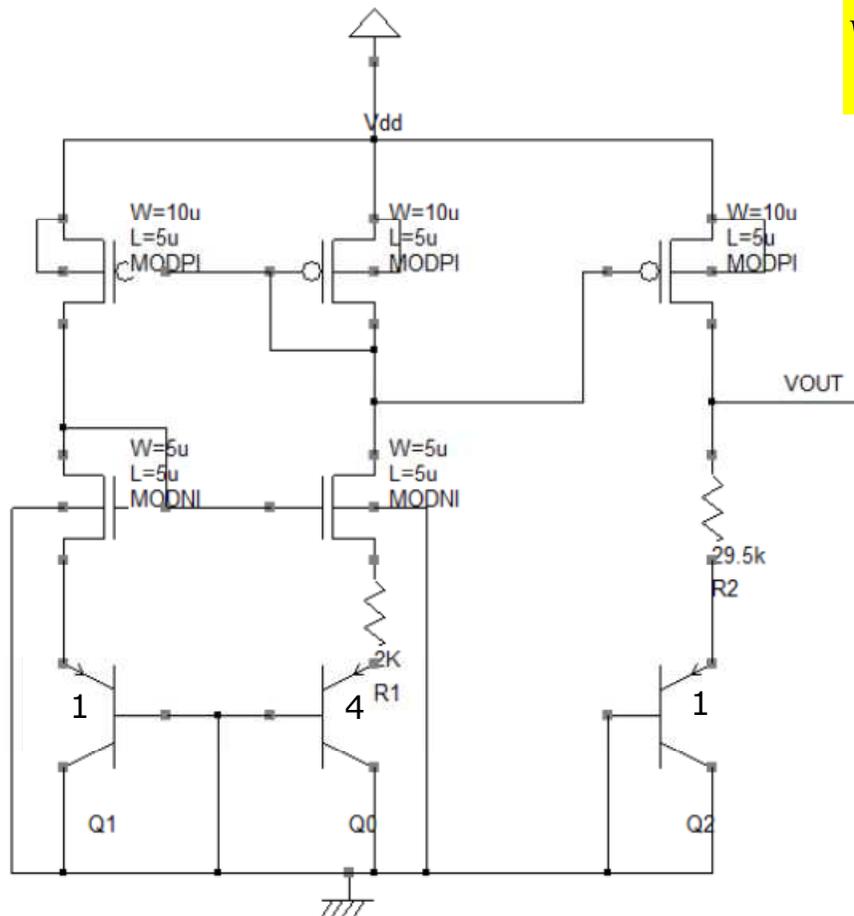
$$\checkmark I_{OUT} = \frac{kT}{q} \frac{\ln(n)}{R}$$

$\checkmark$  Si  $M7 = M6$ ,  $I_{BIAS} = I_{OUT}$

- $\checkmark$  Structure auto-polarisée (pas besoin de réf de courant)
- $\checkmark$  Indépendance à la tension d'alimentation
- $\checkmark$  Dépendance à la température du courant

## Effet de la température

- Exemple : référence de tension bandgap
- Réutilisation de la référence de courant et compensation de la température



$$V_{OUT} = V_{EB2} + R_2 I_{OUT} = V_{EB2} + R_2 \frac{kT}{q} \frac{\ln(n)}{R}$$

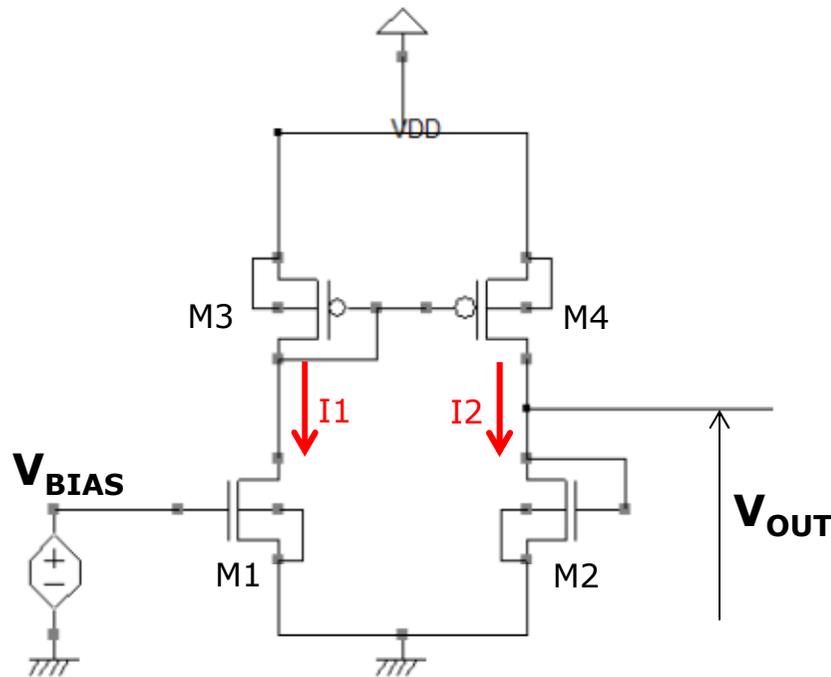
- ✓ Proportional To Absolute Temperature (PTAT) = Tension aux bornes de R2 ( $dV_{R2}/dT \approx +1.8 \text{ mV}/^\circ \text{ c}$ )
- ✓ Complementary To Absolute Temperature (CTAT) = PNP monté en diode ( $dV_{EB}/dT \approx -2 \text{ mV}/^\circ \text{ c}$ )



Montage VBE multiplieur

## Effet de la température

- Capteur de température CMOS : dépendance à la température de  $V_{TH}$



$$V_{TH} \approx V_{TH0} + \alpha(T - T_0), \alpha = -0.5 \dots -2 \text{ mV} / ^\circ\text{C}$$

✓ M1, M2, M3, M4 en saturation

✓ Si  $M3 = M4 \rightarrow I_1 = I_2$  (miroir de courant)

✓  $V_{TH1} = V_{TH2}$

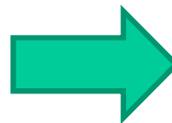
✓ M2 monté en diode :

$$V_{OUT} = V_{GS2} = \sqrt{\frac{I_2}{\beta_2}} + V_{TH2}$$

✓ Polarisation de M1 par  $V_{BIAS}$  :

$$I_1 = \beta_1 (V_{BIAS} - V_{TH1})^2$$

$$V_{OUT} = \sqrt{\frac{\beta_1}{\beta_2}} V_{BIAS} + V_{TH} \left( 1 - \sqrt{\frac{\beta_1}{\beta_2}} \right)$$



$$V_{TH} = \frac{V_{OUT} - \sqrt{\frac{\beta_1}{\beta_2}} V_{BIAS}}{1 - \sqrt{\frac{\beta_1}{\beta_2}}}$$