

Alexandre BOYER

INSA de Toulouse – DGEI

Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS-CNRS)

Intégration de Systèmes de Gestion de l'Energie

Université de Toulouse

7 avenue du Colonel Roche

31077 Toulouse Cedex 04

France

alexandre.boyer@insa-toulouse.fr, alexandre.boyer@laas.fr

<http://www.alexandre-boyer.fr>

Curriculum Vitae

Décembre 2011

Curriculum vitae résumé

Postes occupés

Maître de conférences au département de génie électrique et informatique de l'INSA de Toulouse depuis le 1^{er} septembre 2008.

Attaché Temporaire d'Enseignement et de Recherche (demi-poste) **63^{eme} section**, à l'Institut National des Sciences Appliquées de Toulouse, du 1^{er} septembre 2007 au 30 août 2008.

Formations et diplômes

Doctorat (INSA) : Conception de circuits microélectroniques et microsystèmes (2007)

DEA (INSA) : Conception de circuits microélectroniques et microsystèmes (2004)

Ingénieur (INSA): Automatique, Electronique, Informatique (2004)

Thèse

Date et lieu de soutenance : 5 octobre 2007 à l'INSA de Toulouse

Université : INSA de Toulouse

Laboratoire : Laboratoire Toulousain de Technologie et d'Ingénierie des Systèmes (LATTIS) – Groupe Systèmes Embarqués Critiques

Directeurs de thèse : Etienne Sicard
Sonia Ben Dhia

Président du jury de thèse : Marise Bafleur, Directeur de recherche CNRS

Rapporteur : Langis Roy, Professeur à l'Univ. de Carleton, Canada
M'hamed Drissi, Professeur à l'INSA de Rennes

Membres : Etienne Sicard, Professeur à l'INSA de Toulouse
Frédéric Lafon, Ingénieur à VALEO, Créteil

Mention : Très honorable

Titre de la thèse : Méthode de prédiction de la compatibilité électromagnétique des systèmes en boîtier

Mots clés thématique de la thèse : Compatibilité électromagnétique, émission, susceptibilité, modélisation, ICEM, ICIM, champ proche, système en boîtier

Prix de thèse de l'école doctorale GEET obtenu le 28 mars 2008

Publications

Nombre de revues internationales : 9 (dont 8 WoS)

Nombre de revues nationales : 2

Contribution à ouvrages : 3 (4 chapitres)

Logiciel : 1

Nombre de communications internationales avec comité de lecture : 37 (14 fois 1^{er} auteur)

Nombre de communications nationales avec comité de lecture : 12 (5 fois 1^{er} auteur)

Enseignements attestés

Nombre total d'heures devant les étudiants : 297

Statut : Moniteur de 2004 à 2007, poste de demi ATER pour l'année 2007-2008, Maître de conférences de 2008 à 2010

Dates des enseignements : de septembre 2004 à septembre 2010

Matières enseignées : enseignements effectués à l'INSA de Toulouse (les années correspondent à l'année du cursus ingénieur en 5 ans)

Electronique	Electronique numérique	2004 - 05	2 ^e année	TD (5h), TP (3h)
	Conditionnement de signal	2004 - 06	3 ^e année	TP (6h)
	Bureau d'étude « Réalisation d'une balance électronique »	2004 - 05	3 ^e année	TP (28h)
	Physique et modèles du composant	2005 - 07	4 ^e année	TP (13h)
	Compatibilité électromagnétique	2005 - 10	5 ^e année	TP (11h)
	Conception analogique des circuits intégrés	2005 - 09	5 ^e année	TP (12h)
	Conception analogique des circuits intégrés	2009-11	5 ^e année	APP(15h)
	VHDL et circuits numériques programmables	2007 - 09	4 ^e année	TP (13h)
	Conception des systèmes mixtes	2007 - 08	5 ^e année	TP (9h)
	Bureau d'étude électronique automobile	2007 - 11	5 ^e année	TP (25h)
	Systèmes électroniques pour les communications	2008 - 2011	2 ^e année	Cours (9h), TD (9h) et TP (19h)
Automatique	Bureau d'étude « Chaîne d'acquisition et commande numérique »	2005 - 07	4 ^e année	TP (16h)
Traitement du signal	Signaux aléatoires et Filtrage Linéaire	2004 - 05	3 ^e année	TD (16h), TP (5h)
Réseau télécom	Bureau d'étude Multimédia	2005 - 06	4 ^e année	TP (13h)
	Canaux de transmission bruités	2006 - 11	4 ^e année	Cours (6h), TD (4h)
	Antennes et propagation	2006 - 09	5 ^e année	Cours (5h)
	Techniques de Transmission sans Fils	2009-11	5 ^e année	APP (15h)
	Bureau d'études télécom	2007 - 09	4 ^e année	TP (11h)
	Introduction aux télécom	2010 - 11	3 ^e année	TD (17 h), TP (11h)

Collaborations – Projets de recherche

- Projet ANR Jeune Chercheur *Long term ElectroMagnetic Robustness of nanoscale Integrated Circuits* (2009 - 2013)
- Projet *EMC Platform for Embedded Applications* (EPEA) dans le cadre du pôle de compétitivité *Aerospace Valley*
- Collaboration avec l'université de Carleton, Ottawa, Canada
- Mission scientifique à l'université de Carleton de Février à Mars 2008

Activités administratives

- Responsable de la 4^e année Réseau & Télécom à l'INSA de Toulouse (2009 – 2012)
- Membre élu du conseil du laboratoire du LATTIS – représentant des doctorants
- Organisation du congrès des doctorants du laboratoire LATTIS en 2006

Encadrements

- Nombre d'encadrement d'étudiants en doctorat : 1
- Nombre de co-encadrement d'étudiants en doctorat : 1
- Nombre d'encadrement de stagiaires au niveau master : 4
- Nombre d'encadrement de projets tuteurés : 3

Activités de relecture

- Membre du comité scientifique et co-chair dans la conférence IEEE – Asia Pacific EMC – Singapore 2008 et Asia Pacific EMC – Beijing 2010
- Membre du comité scientifique de la conférence EMC Compo (2009, 2011)
- Relecture fréquente pour la revue IEEE Transaction on EMC
- Relecteur pour un projet de R&D IWT - Institute for the Promotion of Innovation by Science and Technology in Flanders

Liste des publications

Contributions à ouvrages

- [1] « Maîtrise de la CEM – Technologie Réglementation – Normes », Les Référentiels Dunod, pp. 4.1.11.5.1-4.1.11.5.7, février 2006, 7 pages, ISBN 2-10-020415-7, 28^e complément
- [2] S. Bendhia, M. Ramdani, E. Sicard, « Electromagnetic Compatibility – Techniques for Low Emission and Susceptibility », Springer, 2006, pp.442 – 451, ISBN 0-387-26600-3
- [3] E. Sicard, **A. Boyer** "IC-EMC v1.5 User's Manual", INSA editor, pp. 80 - 112, ISBN 978-2-87649-052-9, online at www.ic-emc.org

Articles dans des revues scientifiques à comité de lecture international

- [4] **A. Boyer**, E. Sicard, S. Bendhia, « Characterization of the Electromagnetic Susceptibility of Integrated Circuits using a Near Field Scan », *Electronic Letters*, 4th January 2007, vol. 43, No 1
- [5] **A. Boyer**, L. Roy, E. Sicard, B. Tamer, "New Cube Probe Structures for an Integrated Near Field Scanner Module" *Electronic Letters* Vol. 44, Collection Issue 11 (Mai 2008)
- [6] L. Bouhouch, S. Ben Dhia, **A. Boyer**, E. Sicard, M. Fadel, "Effect of Ferromagnetic Material on the Reduction of Parasitic Emission in Near Field" *Ferroelectrics* Vol. 371, Taylor & Francis Group, LLC ISBN 0015-0193 (Octobre 2008)"
- [7] A. Alaeldine, N. Lacrampe, **A. Boyer**, R. Perdriau, F. Caignet, M. Ramdani, E. Sicard, M. Drissi, "Comparison among Emission and Susceptibility Reduction Techniques for Electromagnetic Interference in Digital Integrated Circuits", *Microelectronics Journal*, Elsevier, Volume 39, Issue 12, December 2008, pp : 1728-1735
- [8] M. Ramdani, E. Sicard, **A. Boyer**, S. Ben Dhia, J. J. Whalen, T. Hubing, M. Coenen, O. Wada, "The Electromagnetic Compatibility of Integrated Circuits - Past, Present and Future", *IEEE Transactions on Electromagnetic Compatibility*, vol. 51, no. 1, February 2009.
- [9] **A. Boyer**, A. C. Ndoye, S. Ben Dhia, L. Guillot, B. Vrignon, "Characterization of the Evolution of IC Emissions after Accelerated Aging", *IEEE Transactions on EMC*, Vol. 51, N°4, November 2009, pp 892 – 900.
- [10] S. Ben Dhia, **A. Boyer**, B. Li, A. C. Noye, "Characterization of the Electromagnetic behavior drifts of a nanoscale IC after Accelerated Life Tests", *Electronic Letters*, 18th February 2010, Vol. 46, no. 4.
- [11] B. Li, **A. Boyer**, S. Ben Dhia, C. Lemoine, "Ageing effect on electromagnetic susceptibility of a phase locked loop", *Microelectronics Reliability*, Vol. 50, Issues 9-11, September – November 2010, pp. 1304-1308.
- [12] S. Ben Dhia, **A. Boyer**, B. Vrignon, M. Deobarro, T. V. Dinh, "On-Chip Noise Sensor for Integrated Circuit Susceptibility Investigations", *IEEE Transactions on Instrumentation and Measurement*, Issue 99, to be published

Articles dans des revues nationales

- [13] **A. Boyer**, « Prédire la Susceptibilité des Circuits aux Agressions Electromagnétiques », *Electronique – Le mensuel des ingénieurs de conception*, mars 2008, No 189
- [14] **A. Boyer**, « Tribune - En CAO, il faut prédire l'immunité des circuits aux IEM », *Electronique – Le mensuel des ingénieurs de conception*, février 2008, No 188

Articles dans des conférences internationales à comité de lecture

- [15] **A. Boyer**, C. Labussière, O. Pigaglio, J. W. Tao, E. Sicard, C. Lochot, « Methodology of Calibration of Miniature Near-Field Probes for Quantitative Characterization of IC radiation », *ICONIC 2005 – Barcelone Espagne – 05-07 June 2005*, pp. 311 – 316
- [16] E. Sicard, **A. Boyer**, A. Tankielun, « On the Prediction of Near Field Microcontroller Emission », *IEEE Symposium on EMC – Chicago – August 2005*, pp. 695 – 699
- [17] E. Lamoureux , **A. Boyer**, S. Ben Dhia, E. Sicard, « Investigations on a Conducted Aggression inside a Digital Integrated Circuits », *EMC Compo 05, Munich, Germany, 29 – 31 November 2005*, proc. pp. 87 – 91
- [18] C. Labussière, C. Lochot, **A. Boyer**, « Characterization of the Radiation from a 16 bit Microcontroller by using miniature Near-Field Probes », *EMC Compo 05, Munich, Germany, 29 – 31 November 2005*, pp. 33 – 38
- [19] **A. Boyer**, E. Sicard, J.L. Levant, « On the Prediction of Near-Field Microcontroller Emission », *EMC Compo 05, Munich, Germany, 29 – 31 November 2005*, pp. 216 – 220
- [20] N. Lacrampe, **A. Boyer**, « Original Methodology for Integrated Circuit ESD Immunity combining VF-TLP and Near Field Scan Testing », *3rd EOS/ESD/EMI Workshop – Toulouse – 18-19 May 2006*, pp. 51 – 54
- [21] **A. Boyer**, E. Sicard, S. Bendhia, « Near Field Scan Immunity Measurement with RF Continuous Wave », *EMC Europe 06 – Workshop Immunity – Barcelona – 4 – 8 September 2006*
- [22] A. Alaeldine, **A. Boyer**, R. Perdriau, M. Ramdani, E. sicard ,M. Drissi, « A near field injection model including power losses for susceptibility prediction in IC », *EMC Workshop 07, Paris, 14-15 June 2007*
- [23] A. Alaeldine, **A. Boyer**, R. Perdriau, M. Ramdani, E. Sicard, M. Drissi, « A Near Field Injection Model for Susceptibility Prediction in Integrated Circuits », *ICONIC 2007, Saint Louis, USA, 27 – 29 June 2007*
- [24] S. Ben Dhia, E. Sicard, Y. Mequignon, **A Boyer**, JM Dienot, « Thermal Influence on 16-bits Microcontroller Emission », *IEEE Symposium on EMC, Hawaii, 6 – 13 July 2007*
- [25] **A. Boyer**, S. Bendhia, E. Sicard, « Modelling of a Mixed-Signal Processor Susceptibility to Near-Field Aggression », *IEEE Symposium on EMC, Hawaii, 6 – 13 July 2007*
- [26] **A. Boyer**, S. Bendhia, E. Sicard, « Modelling of a Direct Power Injection Aggression on a 16 bit Microcontroller Input Buffer », *EMC Compo 07, Torino, 28 – 20 November 2007*, pp. 35 – 39
- [27] **A. Boyer**, S. A. Boulingui, S. Bendhia, E. Sicard, S. Baffreau, « A Methodology for predicting Disturbances due to Near Field Chip to Chip Coupling », *EMC Compo 07, Torino, 28 – 20 November 2007*, pp. 301 – 306
- [28] G. F. Bouesse, N. Ninon, G. Sicard, M. Renaudin, **A. Boyer**, E. Sicard, « Asynchronous logic Vs Synchronous logic : Concrete Results on Electromagnetic Emissions and Conducted Susceptibility », *EMC Compo 07, Turin, 28 – 20 November 2007*, pp. 99 – 103

- [29] S. Ben Dhia, A. C. Ndoye, **A. Boyer**, L. Guillot, B. Vrignon, « IC Emission Spectrum Drifts after Burn-in Cycles », Asia-Pacific EMC Week, Singapore, 19 – 23 May 2008
- [30] **A. Boyer**, E. Sicard, « IC-EMC, a demonstration freeware for predicting Electromagnetic Compatibility of Integrated Circuits », Asia-Pacific EMC Week, Singapore, 19 – 23 May 2008
- [31] **A. Boyer**, M. Fer, L. Courau, E. Sicard, « Modelling of the Susceptibility of 90 nm Input Output Buffer », Asia-Pacific EMC Week, Singapore, 19 – 23 May 2008
- [32] **A. Boyer**, E. Sicard, M. Fer, L. Courau, "Electrical Characterization of a 64 Ball Grid Array Package", EMC Europe 2008 (EMC Europe 2008) Hambourg, Allemagne, 8-12 September 2008.
- [33] A. C. Ndoye, **A. Boyer**, E. Sicard, S. Serpaud, F. Lafon, "A Concurrent Engineering Platform for Modeling IC emission and immunity", EMC Kyoto 2009, July 20-24 2009
- [34] B. Li, A. C. Ndoye, **A. Boyer**, S. Ben Dhia, "Characterization of the electromagnetic robustness of a nanoscale CMOS integrated circuit", EMC Compo 2009, Toulouse, November 17 – 19 2009
- [35] B. Tamer, L. Roy, **A. Boyer**, "Development of EMC/EMI Characterization Tool in LTCC Format", EMC Compo 2009, Toulouse, November 17 – 19 2009.
- [36] M. Deobarro, B. Vrignon, S. Ben Dhia, **A. Boyer**, "Use of on-chip sampling sensor to evaluate conducted RF disturbances propagated inside an integrated circuit", EMC Compo 2009, Toulouse, November 17 – 19 2009
- [37] M. J. Kuo, T. C. Lin, **A. Boyer**, "Integrated Circuit Emission Model Extraction Based on Fuzzy Logic Systems", EMC Compo 2009, Toulouse, November 17 – 19 2009
- [38] B. Li, **A. Boyer**, S. Ben Dhia, C. Lemoine, "Ageing effect on immunity of a mixed signal IC", 2010 Asia-Pacific International Symposium on Electromagnetic Compatibility, April 12 - 16, 2010, Beijing, China
- [39] S. Baffreau, S. Akue Boulingui, C. Dupoux, E. Sicard, N. Bouvier, B. Vrignon, **A. Boyer**, "A New Methodology to Measure Electromagnetic Interferences in 3G Mobile Platform", 2010 Asia-Pacific International Symposium on Electromagnetic Compatibility, April 12 – 16, 2010, Beijing, China
- [40] E. Sicard, **A. Boyer**, "An Educational Approach to Electromagnetic Compatibility of Integrated Circuits", 8th European Workshop on Microelectronics Education, May 10-12, 2010, Darmstadt, Germany
- [41] B. Li, **A. Boyer**, S. Ben Dhia, C. Lemoine, "Ageing effect on electromagnetic susceptibility of a phase-locked-loop", ESREF 2010, October 2010, Italy
- [42] **A. Boyer**, B. Li, S. Ben Dhia, C. Lemoine, "Impact of Aging on the Immunity of a Mixed Signal Circuit", EMC Europe 2010, 13 – 17th September 2010, Poland
- [43] S. Ben Dhia, **A. Boyer**, B. Vrignon, M. Deobarro, « IC immunity modeling process validation using on-chip measurements », 12th IEEE Latin-American Test Workshop (LATW2011), Porto de Galinhas, Brazil, March 27th-30th, 2011
- [44] **A. Boyer**, S. Ben Dhia, B. Li, C. Lemoine, B. Vrignon, « Prediction of Long-Term Immunity of a Phase-Locked Loop », 12th IEEE Latin-American Test Workshop (LATW2011), Porto de Galinhas, Brazil, March 27th-30th, 2011
- [45] **A. Boyer**, B. Li, S. Ben Dhia, C. Lemoine, B. Vrignon, "Development of an Immunity Model of a Phase-Locked Loop", 2011 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 16 – 19, 2011, Jeju Island, Korea
- [46] B. Vrignon, M. Deobarro, **A. Boyer**, S. Ben Dhia, "Bulk Current Injection modeling and validation on passive loads and an active circuit", 2011 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 16 – 19, 2011, Jeju Island, Korea
- [47] B. Li, N. Berbel, **A. Boyer**, S. Ben Dhia, R. Fernández-García, "Study of the impact of hot carrier injection to immunity of MOSFET to electromagnetic interferences", ESREF

2011, October 2011, Bordeaux, France

- [48] **A. Boyer**, S. Ben Dhia, C. Lemoine, B. Vrignon, “An On-Chip Sensor for Time Domain Characterization of Electromagnetic Interferences”, 8th International Workshop on electromagnetic Compatibility of Integrated Circuits, November 6 – 9, 2011, Dubrovnik, Croatia
- [49] **A. Boyer**, S. Ben Dhia, C. Lemoine, B. Vrignon, “Construction and Evaluation of the Susceptibility Model of an Integrated Phase-Locked Loop”, 8th International Workshop on electromagnetic Compatibility of Integrated Circuits, November 6 – 9, 2011, Dubrovnik, Croatia
- [50] N. Berbel, R. Fernández-García, I. Gil, B. Li, S. Ben Dhia, **A. Boyer**, “An alternative approach to model the Internal Activity of integrated circuits”, 8th International Workshop on electromagnetic Compatibility of Integrated Circuits, November 6 – 9, 2011, Dubrovnik, Croatia
- [51] E. Sicard, **A. Boyer**, “Enhancing Engineers Skills in EMC of Integrated Circuits”, 8th International Workshop on electromagnetic Compatibility of Integrated Circuits, November 6 – 9, 2011, Dubrovnik, Croatia

Articles dans des conférences nationales ou francophones

- [52] **A. Boyer**, S. Bendhia, J.L. Levant, M. Ramdani, B. Vrignon, « Modélisation d’un Boîtier TQFP144 par mesures et simulation », 4^{èmes} JFMMA & TELECOM 2005, Rabat, Maroc, 23 – 25 mars 2005
- [53] E. Sicard, **A. Boyer**, G. Peres, « Un Logiciel Dédié à la Prédiction du Comportement des Circuits Intégrés en Compatibilité Electromagnétique de 1 MHz à 5 GHz », CEM06, Saint-Malo, avril 2006
- [54] **A. Boyer**, E. Sicard, S. Bendhia, E. Lamoureux, « Immunité d’Inverseurs CMOS en Champ Proche », CEM06, Saint-Malo, avril 2006, pp. 323 – 324
- [55] **A. Boyer**, S. Bendhia, « Design d’un Agresseur Champ Proche dédié à l’Etude CEM des System-in-Package », JNRDM06 – Rennes – France – 10 -12 mai 2006
- [56] **A. Boyer**, « Caractérisation et Modélisation de la Susceptibilité d’un Circuit Intégré par une Méthode de Scan Champ Proche », Journée l’école doctorale GEET, Toulouse, 8 mars 2007
- [57] L. Bouhouch, **A. Boyer**, « Amélioration des Performances CEM d’un Microcontrôleur à l’aide d’un Film de Matériau Ferromagnétique », 5^{èmes} JFMMA & TELECOM 07, Fès, Maroc, 14 – 16 mars 2007
- [58] **A. Boyer**, S. Akue Boulingui, E. Sicard, S. Baffreau, « Méthodologie de Prédiction des Risques d’Interférences dans un Couplage Puce à Puce », 5^{èmes} JFMMA & TELECOM 07, Fès, Maroc, 14 – 16 mars 2007
- [59] E. Sicard, S. Baffreau, S. A. Boulingui, **A. Boyer**, « System-In-Package Integration of Third-Generation Mobile Phones: Some EMC Challenges», 2EMC 2007, Rouen, France, 18 – 19 octobre 2007
- [60] S. Ben Dhia, A. C. Ndoeye, **A. Boyer**, L. Guillot, B. Vrignon, « Dérives du Spectre d’Emission d’un composant Mixte après Vieillesse Accéléré », CEM08, 20 – 23 mai 2008, Paris, France
- [61] A. C. Ndoeye, **A. Boyer**, E. Sicard, S. Serpaud, F. Lafon, “Une plateforme collaborative de service en modélisation CEM des Composants”, Telecom 2009, Agadir, 11-13 Mars 2009
- [62] E. Sicard, **A. Boyer**, “IC-EMC: A Dedicated environment for predicting electromagnetic compatibility of integrated circuits”, 2EMC 2010, Rouen, 18 – 19

Novembre 2010

- [63] E. Sicard, **A. Boyer**, “Une approche éducative de la compatibilité électromagnétique des circuits intégrés », JPCNFM 2010, 22 – 24 Novembre 2010, Saint Malo

Logiciel

- [64] IC-EMC, a freeware dedicated to electromagnetic compatibility of integrated circuits. Version 2.5 on line at www.ic-emc.org. Contact : etienne.sicard@insa-toulouse.fr or alexandre.boyer@insa-toulouse.fr

Divers : Rapports internes, Workshops, Présentations invités, Tutorial

- [65] **A. Boyer**, S. Ben Dhia, « Rapport d’Evaluation de l’Evolution des Contraintes de Compatibilité Electromagnétique pour les Technologies Avancées », Centre National d’Etudes Spatiales, Rapport R-S07MT-0004-062 : Evaluation de la fiabilité des composants submicroniques, 40 pages, mars 2008
- [66] Z. Chbili, A. C. Ndoye, **A. Boyer**, S. Ben Dhia, “Spécification d’un plan d’expérience de relevé de l’évolution de la robustesse après vieillissement d’un composant en technologie 65 nm“, Centre National d’Etudes Spatiales, Rapport R-S07MT-0004-062 : Evaluation de la fiabilité des composants submicroniques, 40 pages, avril 2008
- [67] **A. Boyer**, S. Ben Dhia, A. C. Ndoye, “EMC/EMI Issues for DSM: New Challenges”, Workshop on Long Term Reliability in DSM, Noordwijk (Netherland), October 3rd, 2008
- [68] S. Ben Dhia, **A. Boyer**, “Still EMC Compliant ?”, Workshop on Long Term Reliability in DSM, Arcachon, October 9th, 2009
- [69] **A. Boyer**, “Introduction to the modeling and simulation of electromagnetic compatibility of integrated circuits”, Tutorial, 2010 Asia-Pacific International Symposium on Electromagnetic Compatibility, April 12th, 2010, Beijing, China
- [70] **A. Boyer**, « Résultats du projet R&T CNES : CEM et vieillissement des composants », CCT MCE, Tutorial Décharges Electrostatiques (ESD) : du composant au système, Toulouse, 15 décembre 2010.
- [71] **A. Boyer**, S. Ben Dhia, “Initiation to the modeling and simulation of susceptibility of integrated circuits to electromagnetic interferences”, Tutorial, 2011 Asia-Pacific International Symposium on Electromagnetic Compatibility, May 16th, 2011, Jeju Island, Korea
- [71] S. Ben Dhia, **A. Boyer**, “La CEM des Circuits Intégrés”, Présentation invitée à l’école d’été du GT6 (CEM) du GDR Ondes, ENS Cachan, 30 août au 2 septembre 2011
- [72] **A. Boyer**, E. Sicard, « IC Immunity Modeling », Tutorial, 2011, EMC Compo 2011, November 6th 2011, Dubrovnik, Croatia.
- [73] **A. Boyer**, « Scan champ proche pour l’injection localisée de perturbations – Robustesse électromagnétique », Workshop E-SAFE, LAAS-CNRS, 8 décembre 2011, Toulouse, France

Activités de recherche détaillées

L'électronique dans les systèmes embarqués (aéronautique, spatial, automobile...) se développe de façon très significative et apporte sans cesse des performances croissantes permettant aux industriels d'offrir des solutions techniques et économiques concurrentielles. L'intégration de l'électronique est un facteur clé vis-à-vis de cette évolution. En effet, les technologies actuelles évoluent très rapidement et permettent régulièrement d'intégrer sur une même puce ou à l'intérieur d'un même boîtier « plus de performances » (puissance de calcul, vitesse d'exécution, taille mémoire par exemple) dans des volumes équivalents ou plus petits, avec un poids réduit et des coûts de fabrication souvent plus faibles. Néanmoins, cette évolution rapide nécessite une remise en cause permanente des industriels des systèmes embarqués qui doivent assurer la maîtrise du comportement de leur électronique dans des environnements sévères. En particulier, la maîtrise de la compatibilité électromagnétique (CEM) est un élément clé de la réussite des challenges d'intégration et d'évolution technologique.

La CEM reste toujours une des principales causes de *redesign* des circuits intégrés car elle n'est pas suffisamment prise en compte dans les flots de conception. Or, l'évolution technologique devrait encore aggraver les causes des problèmes d'émission parasite et de susceptibilité aux interférences électromagnétiques. De nouvelles méthodes de mesure, de prédiction ainsi que de nouvelles techniques de design des circuits doivent dès lors être mises en place afin de contrecarrer les conséquences sur la CEM de l'évolution technologique.

Mes travaux de recherche effectués au sein du groupe Intégration de Systèmes de Gestion de l'Energie (ISGE) du Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS-CNRS) peuvent se diviser en trois thématiques principales :

- la prédiction CEM au niveau circuit intégré et le développement d'outils logiciels de simulation
- l'impact du vieillissement des composants sur leurs performances CEM ou « fiabilité électromagnétique »
- le développement de systèmes de mesure CEM

Fiabilité électromagnétique

La durée de vie des composants est devenue un problème majeur pour les technologies nanométriques ces dernières années. En effet, les prévisions les plus pessimistes annoncent des durées de vie très inférieures à 10 ans sur les futurs noeuds technologiques. Les mécanismes de dégradation apparaissent de plus en plus tôt, entraînant une dérive des paramètres physiques dont certains sont directement liés au comportement électromagnétique du circuit intégré. Une demande nouvelle est apparue fin 2005 de la part des constructeurs automobile visant à assurer la « fiabilité électromagnétique » des systèmes embarqués. Le concept est une extension de la compatibilité électromagnétique pour la durée de vie complète du produit. Ce domaine est encore peu exploré, les communautés « fiabilité » et « CEM composants » étant assez cloisonnées.

Dans le cadre d'un projet financé par le Centre National d'Etudes Spatiales [36], j'ai démarré dès 2007 avec Sonia Ben Dhia une nouvelle activité de recherche sur la fiabilité électromagnétique des circuits intégrés. Des mesures CEM effectuées sur des composants dédiés à des applications automobiles (microcontrôleur, commutateur de puissance) ont révélé des dérives des spectres

d'émission et des seuils de susceptibilité de ces composants après des tests de vieillissement standards, comme les tests *High Temperature Operating Life* et *Low Temperature Operating Life* (figure 1). L'ensemble des résultats obtenus ont déjà fait l'objet d'articles de conférences [22] [33] et seront bientôt présentés dans un article de revue. Actuellement, de nouveaux cas d'étude sur des composants en technologie CMOS 90 nm et 65 nm sont en cours de développement avec le soutien des sociétés Freescale et ST, dans le cadre de projets communs avec le CNES, le LAAS et le laboratoire IMS.



Figure 1 - Evolution de l'immunité d'un composant après un test de vieillissement standard

En 2009, nous avons obtenu un financement ANR jeune chercheur (projet EMRIC) qui nous a permis de renforcer nos ambitions sur ce sujet. En outre, nous avons démarré une collaboration avec l'Université Polytechnique de Catalogne, afin de mieux identifier les mécanismes de dégradation internes au composant et responsable des dérives d'immunité observées.

En 2010, Sonia Ben Dhia a organisé la première session sur le sujet à la conférence Asia-Pacific on EMC à Beijing.

Pour plus d'informations : http://www.lesia.insa-toulouse.fr/~bendhia/site_EMRIC/index.htm

Plateforme de simulation CEM

La prédiction des performances CEM d'un circuit (émission parasite, immunité aux perturbations électromagnétiques) avant conception est devenue nécessaire ces dernières années afin d'éviter des phases coûteuses de re-design.

L'ensemble des méthodologies de simulation développées dans notre laboratoire ont été intégré au logiciel IC-EMC (figure 4) [3], que je développe en collaboration avec Etienne Sicard depuis 2005. Cet outil constitue non seulement une plateforme de démonstration des méthodologies de simulation développées par notre laboratoire mais aussi un outil pédagogique pour la CEM composant. En outre, il s'agit d'un outil unique car il n'existe pas à l'heure actuelle d'outils entièrement dédiés à la CEM composant.

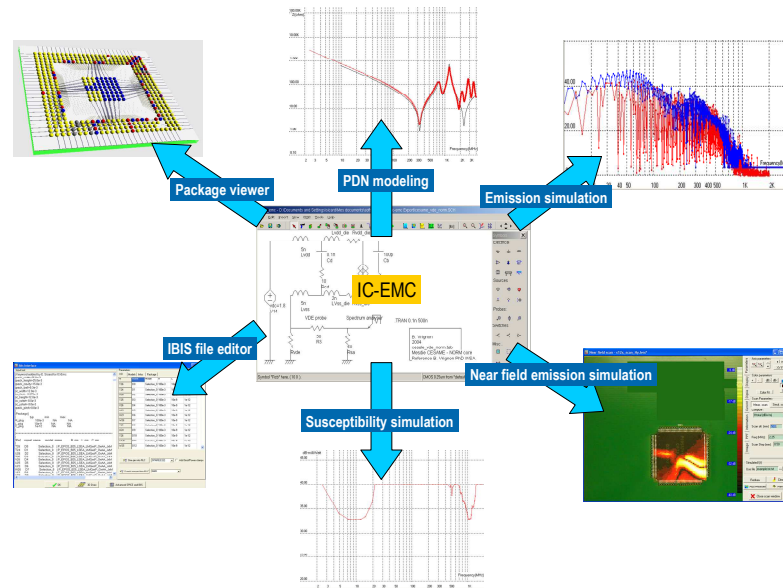


Figure 2 – Logiciel IC-EMC [3]

Pour plus d'informations : www.ic-emc.org

Systemes innovants de caracterisation CEM

Depuis quelques années, le laboratoire est impliqué dans le développement de nouvelles méthodes de mesure de la CEM au niveau composant (oscilloscope sur puce, brevet de la *cube probe*, *skate probe*, scan champ proche en immunité). Parmi ces nouvelles méthodes, celles basées sur la mesure du rayonnement en champ proche est particulièrement intéressante pour le diagnostic CEM des circuits intégrés.

Durant ma thèse, j'ai effectué de nombreux travaux sur l'émission et la susceptibilité en champ proche des circuits, et ceux- ont permis de démarrer le développement d'une méthode innovante de mesure rapide de scan en champ proche. Celle-ci est basée sur l'utilisation de matrices de sondes champ proche miniatures, intégrées à l'intérieur d'un substrat haute densité, multicouches et abritant un circuit de multiplexage et de traitement de signal (figure 3). En collaboration avec la société *Freescale* et le département d'électronique de l'*université de Carleton* à Ottawa, plusieurs prototypes de matrices de sondes champ proche ont été développés, en technologie HDI et LTCC. Au cours de mon année d'ATER, un séjour scientifique de deux mois à l'université de Carleton a permis la poursuite du travail de développement d'un futur prototype qui intégrera un système complet de mesure d'émission en champ proche, et la rédaction d'un premier article dévoilant le concept de matrice de sondes champ proche intégrées [34]. En 2008, le premier module complet a été réalisé en collaboration avec l'université de Carleton. Il est actuellement en cours de caractérisation.

Pour poursuivre le développement de ce module, nous entamons la fabrication avec la société *Freescale* d'un circuit de réception qui sera intégré au module. En outre, un post-doctorant sera recruté dès la rentrée 2009. Son rôle sera d'optimiser la *design* de la matrice actuelle, de mettre au point un nouveau prototype qui intégrera les nouveaux circuits fabriqués avec *Freescale*, et de développer des algorithmes de post-traitements permettant d'améliorer la résolution spatiale du module.

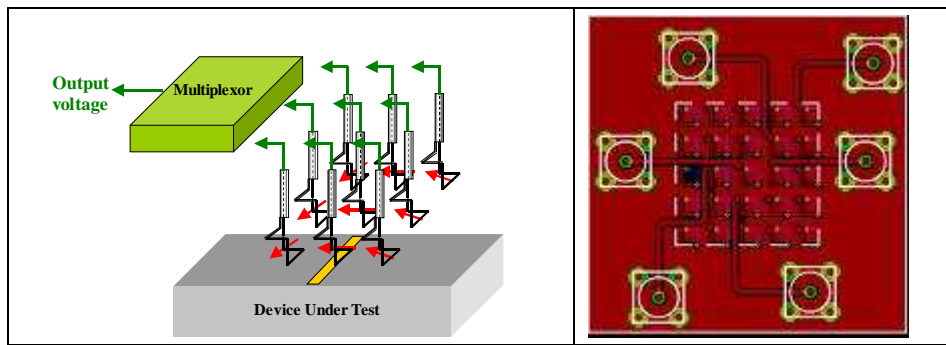


Figure 3 – Principe de la matrice de champ proche et motif de caractérisation en technologie HDI

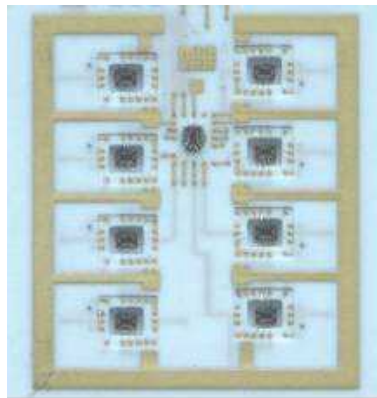


Figure 4 – Prototype de module de scan champ proche rapide réalisée dans un substrat LTCC

Activités d'enseignement détaillées

Moniteur d'octobre 2004 à septembre 2007, puis ATER (1/2 poste) à partir de septembre 2007 et enfin maître de conférence à partir de septembre 2008, j'ai assuré des charges d'enseignement au sein de l'Institut National des Sciences Appliquées de Toulouse, dans le département de génie électrique et informatique. Mes enseignements ont été effectués auprès d'étudiants de 2^e à la 5^e année. Je suis principalement intervenu dans des enseignements d'électronique, de microélectronique et de télécommunications, mais aussi d'automatique et de traitement de signal.

Pédagogie utilisée : traditionnelle, apprentissage par projets (APP)

Le tableau 1 détaille mes activités d'enseignements à l'INSA de Toulouse entre 2004 et 2010.

Année	Matière et Description	Année	Heures
2004 – 2005 (Moniteur)	Electronique numérique	2 ^e année	10 h TD, 11 h TP
	Conditionnement du signal	3 ^e année	4 h TP
	Bureau d'étude électronique	3 ^e année	19 h TP
	Traitement du signal	3 ^e année	16 h TD, 4 h TP
2005 – 2006 (Moniteur)	Conditionnement du signal	3 ^e année	4 h TP
	Physique et modèles du composants	4 ^e année	9 h TP
	Compatibilité électromagnétique	5 ^e année	12 h TP
	Conception analogique des circuits intégrés	5 ^e année	16 h TP
	Chaîne d'acquisition et commande numérique	4 ^e année	22 h TP
2006 – 2007 (Moniteur)	Bureau d'études multimédia	4 ^e année	18 h TP
	Physique et modèles du composant	4 ^e année	7 h TP
	Compatibilité électromagnétique	5 ^e année	6 h TP
	Conception analogique des circuits intégrés	5 ^e année	8 h TP
	Chaîne d'acquisition et commande numérique	4 ^e année	9 h TP
	Canaux de transmission bruités	4 ^e année	7 h cours, 6 h TD
2007 – 2008 (ATER)	Antennes et propagation	5 ^e année	7 h cours, 10 h TP
	Compatibilité électromagnétique	5 ^e année	4 h TP
	Conception analogique des circuits intégrés	5 ^e année	16 h TP
	Canaux de transmission bruités	4 ^e année	7 h cours, 6 h TD
	Antennes et propagation	5 ^e année	7 h cours, 9 h TP
	VHDL et circuits numériques programmables	4 ^e année	13 h TP
	Conception des systèmes mixtes	5 ^e année	9 h TP
Bureau d'étude électronique automobile	5 ^e année	11 h TP	
Bureau d'études télécom	4 ^e année	11 h TP	

2008 – 2011 (Maître de conférences)	Conception analogique des circuits intégrés - APP	5 ^e année	5 h cours, 24 h TP
	VHDL et circuits numériques programmables	4 ^e année	13 h TP
	Canaux de transmission bruités	4 ^e année	7 h cours, 6 h TD
	Techniques et Systèmes de Transmission	5 ^e année	7 h cours, 9 h TP
	Bureau d'étude électronique automobile	5 ^e année	11 h TP
	Compatibilité électromagnétique	5 ^e année	19 h TP
	Systèmes Electroniques pour les Communications	2 ^e année	9h cours, 19 h TP
	Bureau d'études Telecom	4 ^e année	16 h TP
	Antennes	4 ^e année	5h de cours, 5h de TP
	Projets tutorés	4 ^e année	10h TD

Tableau 1 - Activités d'enseignement de 2004 à 2011

Durant l'année 2008 – 2009, j'ai récupéré la responsabilité d'une nouvelle UV en 2^e année MIC « Systèmes Electroniques pour les Communications » représentant environ 60 heures étudiant. Avec l'équipe enseignante associée, il a été nécessaire de réécrire l'ensemble des documents pédagogiques et de créer de nouveaux travaux pratiques. La rédaction d'un nouveau support de cours avec Jean Yves Fourniols nous a conduit à écrire un ouvrage pédagogique qui sera publié par le PRES en septembre 2009. Suite à une semaine de formation à Louvain-la-Neuve, Sonia Bendhia et moi-même avons refondu l'UV de 5^e année SE « Conception et test des circuits CMOS analogiques » (environ 40 h étudiant) et l'avons fait passer sous forme d'un Apprentissage Par Projet (APP). Ce travail a fait l'occasion d'une présentation poster lors des Rencontres Pédagogie et Formations d'Ingénieurs organisées à l'INSA en mars 2009. En outre, deux nouveaux sujets de travaux pratiques en Techniques et Systèmes de Transmission (5^e année RT) et en Compatibilité Electromagnétique (5^e année Systèmes Electroniques) d'une dizaine d'heures étudiant ont été développé en 5^e année SE et RT.

A l'extérieur de l'INSA :

- Cycle ISMIN de l'Ecole des Mines de Saint Etienne : « Couplage Electromagnétique » en 2011 (9 h de formation)
- Master TPM de l'Ecole des Mines de Saint Etienne : « Electromagnetic Compatibility of ICs » en 2008 et 2009 (1 jour en anglais)
- Université de Carleton au Canada : « Electromagnetic Compatibility of ICs » en 2008 (1 jour en anglais)
- Université de Taichung à Taïwan : « Electromagnetic Compatibility of ICs » en 2007 (1 jour en anglais)
- ENSA de Marrakech au Maroc : « Conception de circuits CMOS » en 2006 (3 jours de formation)